**Warnings after Synthesis**  
@N:CD630 : DATAPATH.vhd(8) | Synthesizing work.datapath.dat\_arch    
@N:CD630 : A\_Reg.vhd(4) | Synthesizing work.a\_reg.a\_reg\_arch    
@W:CG296 : A\_Reg.vhd(19) | Incomplete sensitivity list - assuming completeness   
@W:CG290 : A\_Reg.vhd(23) | Referenced variable enable is not in sensitivity list   
@W:CL113 : A\_Reg.vhd(21) | Feedback mux created for signal Q[7:0].   
@N:CD630 : S\_Counter.vhd(6) | Synthesizing work.s\_counter.s\_counter\_arch    
@N:CD630 : A\_Reg.vhd(4) | Synthesizing work.a\_reg.a\_reg\_arch    
@W:CG296 : A\_Reg.vhd(19) | Incomplete sensitivity list - assuming completeness   
@W:CG290 : A\_Reg.vhd(23) | Referenced variable enable is not in sensitivity list   
@W:CL113 : A\_Reg.vhd(21) | Feedback mux created for signal Q[0:0].   
@N:CD630 : A\_Reg.vhd(4) | Synthesizing work.a\_reg.a\_reg\_arch    
@W:CG296 : A\_Reg.vhd(19) | Incomplete sensitivity list - assuming completeness   
@W:CG290 : A\_Reg.vhd(23) | Referenced variable enable is not in sensitivity list   
@W:CL113 : A\_Reg.vhd(21) | Feedback mux created for signal Q[31:0].   
@N:CD630 : ROUND.vhd(7) | Synthesizing work.round.round\_arch    
@N:CD630 : Variable\_Rotator.vhd(4) | Synthesizing work.variable\_rotator.var\_arch    
@N:CD630 : ROM.vhd(4) | Synthesizing work.rom.arch\_rom    
@W:CL247 : ROUND.vhd(11) | Input port bit 7 of c(7 downto 0) is unused    
@W:CL247 : ROUND.vhd(12) | Input port bit 7 of d(7 downto 0) is unused    
@W:CL246 : ROUND.vhd(13) | Input port bits 5 to 4 of i(5 downto 0) are unused    
@END  **Resource Utilization after Synthesis**  
Cell usage:   
FDCE            97 uses   
FDRE            10 uses   
GND             14 uses   
MULT18X18SIO    2 uses   
MULT\_AND        28 uses   
MUXCY\_L         35 uses   
MUXF5           16 uses   
VCC             14 uses   
XORCY           36 uses   
LUT1            6 uses   
LUT2            6 uses   
LUT3            97 uses   
LUT4            10 uses   
  
I/O ports: 140   
I/O primitives: 140   
IBUF           41 uses   
IBUFG          1 use   
OBUF           98 uses   
  
BUFG           1 use   
  
I/O Register bits:                  1   
Register bits not including I/Os:   106 (1%)   
  
Global Clock Buffers: 1 of 24 (4%)   
  
Total load per clock:   
   DATAPATH|clk: 108   
  
Mapping Summary:   
Total  LUTs: 119 (1%) **Maximum Clock Frequency After Synthesis**114 MHz  
 **Critical Path (text format)**

{i:RND.ri\_3[0]}

{i:RND.ri\_3\_bm[0]}

{i:RND.ri\_3\_am[0]}

{i:RND.Y\_0\_0[7:0]}

{i:RND.un5\_x\_s\_7}

{i:RND.un5\_x\_cry\_6}

{i:RND.un5\_x\_cry\_5}

{i:RND.un5\_x\_cry\_4}

{i:Count\_I.Count\_fast[1]}

{i:REG\_A.Q[0]}

{i:REG\_A.Q[1]}

{i:REG\_A.Q[2]}

{i:REG\_A.Q[3]}

{i:REG\_A.Q[4]}

{i:REG\_A.Q[5]}

{i:REG\_A.Q[6]}

{i:REG\_A.Q[7]}

{i:MUX\_4\_OUT[0]}

{i:MUX\_4\_OUT[4]}

{i:MUX\_4\_OUT[5]}

{i:MUX\_4\_OUT[6]}

{i:MUX\_4\_OUT[7]}

{i:MUX\_4\_OUT[1]}

{i:MUX\_4\_OUT[2]}

{i:MUX\_4\_OUT[3]}